

BUNDESREPUBLIK DEUTSCHLAND



REC'D 09 JUN 2004	
WIPO	PCT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 14 876.0

Anmeldetag: 1. April 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Verfahren zum mehrstufigen Herstellen
von Diffusionslötverbindungen für
Leistungsbauteile mit Halbleiterchips

IPC: B 23 K, H 01 L

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-springlichen Unterlagen dieser Patentanmeldung.

München, den 21. April 2004
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Faust

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Zusammenfassung

Verfahren zum mehrstufigen Herstellen von Diffusionslötverbindungen für Leistungsbauteile mit Halbleiterchips.

5

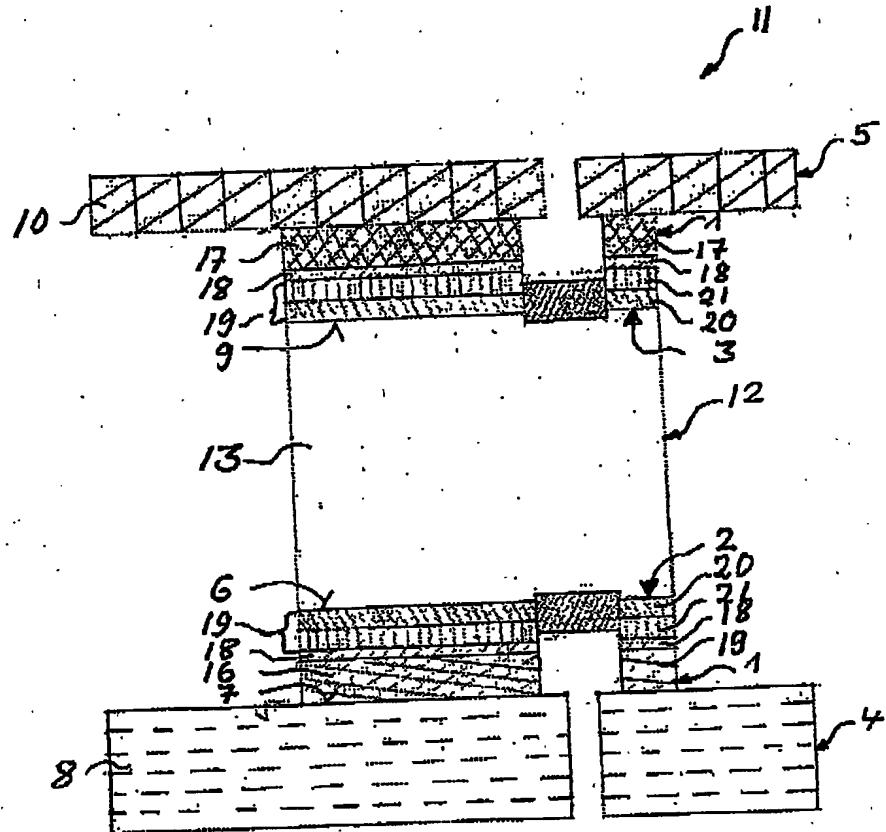
Die Erfindung betrifft ein Verfahren zum mehrstufigen Herstellen von Diffusionslötverbindungen (16, 17) für Leistungsbauteile mit Halbleiterchips, wobei die Schmelztemperaturen von Diffusionslöt-Legierungen (14, 15) und Diffusionslötverbindungen (16, 17) derart gestaffelt werden, dass eine erste Schmelztemperatur der ersten Diffusionslöt-Legierung (14) niedrigere ist als eine zweite Schmelztemperatur der zweiten Diffusionslöt-Legierung (15) und wobei die zweite Schmelztemperatur niedriger ist als eine dritte Schmelztemperatur einer ersten Diffusionslötverbindung (16) der ersten Diffusionslöt-Legierung (14).

10

15

[Figur 1]

FIG 1



Beschreibung

Verfahren zum mehrstufigen Herstellen von Diffusionslötverbindungen für Leistungsbauteile mit Halbleiterchips.

5

Die Erfindung betrifft ein Verfahren zum mehrstufigen Herstellen von Diffusionslötverbindungen für Leistungsbauteile mit Halbleiterchips und ein elektronisches Leistungsbauteil.

10 Diffusionslötverbindungen sind aus der Druckschrift DE 195 32 250 A1 bekannt und werden zum Herstellen einer temperaturstabilen Verbindung mittels Diffusionslöten eingesetzt. Dazu wird ein erster Körper mit einem hochschmelzenden Metall und ein zweiter Körper mit einem niedrigschmelzenden Metall beschichtet. Bei einer vorgegebenen Temperatur und unter einem vorgegebenen Anpressdruck sind dann beide Körper über eine Diffusionslötverbindung fügbar. Bei einer Diffusionslötverbindung bilden sich hochschmelzende intermetallische Phasen aus, wobei deren Schmelzpunkte höher liegen als der Schmelzpunkt des niedrigschmelzenden Metalls. Mit dem bekannten Verfahren können einzelne Fügestellen eines elektronischen Leistungsbauteils temperaturstabil hergestellt werden.

25 Ein elektronisches Leistungsbauteil weist jedoch mehrerer Fügestellen auf, die in mehrstufigen Verfahren zu verwirklichen sind. Dabei ergeben sich unzuverlässige Verbindungen.

Aufgabe der Erfindung ist es, ein Verfahren anzugeben, dass eine zuverlässige Herstellung temperaturstabilen und für extreme thermische Belastungen geeignete elektronische Bauteile ermöglicht. Insbesondere ist es Aufgabe der Erfindung ein entsprechend belastbares elektronisches Leistungsbauteil anzugeben.

Gelöst wird die Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

5 Erfindungsgemäß wird ein Verfahren zur mehrstufigen Herstellung von Diffusionslötverbindungen auf einer Trägerunterseite und Trägeroberseite mit einem Substrat für die Trägerunterseite und einem weiteren Substrat für die Trägeroberseite angegeben. Insbesondere wird ein mehrstufiges Verfahren zum Diffusionslötverbinden einer Halbleiterchiprückseite mit einer Chipinsel eines Substrats und einer Halbleiterchipoberseite mit Leitungsstrukturen eines weiteren Substrats für elektronische Leistungsbauteile geschaffen. Dazu weist das
10 Verfahren nachfolgende Verfahrensschritte auf.
15

Zunächst wird eine erste Seite eines Trägers beziehungsweise Halbleiters mit einer ersten Diffusionslöt-Legierung beschichtet. Eine derartige Diffusionslöt-Legierung weist eine
20 Mischung einer hochschmelzenden Metallkomponente und einer niedrigschmelzenden Metallkomponente auf, ohne dass sich bereits intermetallische Phasen gebildet haben. Anschließend wird eine zweite Seite des Trägers beziehungsweise Halbleiters mit einer zweiten Diffusionslöt-Legierung beschichtet.
25 Dabei gehören die erste und die zweite Diffusionslöt-Legierung in ihrer Zusammensetzung und ihren metallischen Elementen unterschiedlichen Diffusionslötsystemen an.

Die erste und die zweite Diffusionslöt-Legierung werden durch
30 Auswahl von Materialien bzw. Komponenten derart aufeinander abgestimmt, dass die Schmelztemperaturen der Diffusionslöt-Legierungen und der Diffusionslötverbindungen derart gestaffelt sind, dass eine erste Schmelztemperatur der ersten Dif-

fusionslöt-Legierung niedriger ist als eine zweite Schmelztemperatur der zweiten Diffusionslöt-Legierung und dass die zweite Schmelztemperatur niedriger ist als eine dritte Schmelztemperatur einer ersten Diffusionslötverbindung der ersten Diffusionslötlegierung.

Nach dem beidseitigen Beschichten des Trägers mit erster und zweiter Diffusionslötlegierung folgt zunächst ein Diffusionslöten eines ersten Substrats mit der ersten Seite des Trägers beziehungsweise Halbleiters unter Erwärmen der ersten Diffusionslöt-Legierung auf die erste Schmelztemperatur. Dabei bildet sich eine erste temperaturstabile Diffusionslötverbindung aus, deren Schmelztemperatur höher liegt als die zweite Schmelztemperatur der zweiten Diffusionslöt-Legierung. Anschließend erfolgt ein Diffusionslöten eines zweiten Substrats mit der zweiten Seite des Trägers beziehungsweise Halbleiters unter Erwärmen der zweiten Diffusionslöt-Legierung auf die zweite Schmelztemperatur. Da diese zweite Schmelztemperatur niedriger ist als die dritte Schmelztemperatur der ersten Diffusionslötverbindung wird bei dieser mehrstufigen Herstellung mit gestaffelten Schmelztemperaturen der Diffusionslötvorgänge die bereits bestehende erste Diffusionslötverbindung temperaturstabil beibehalten.

Dieses Verfahren zur mehrstufigen Herstellung von Diffusionslötverbindungen hat den Vorteil, dass sowohl eine Diffusionslötverbindung auf der Unterseite als auch eine Diffusionslötfaltung auf der Oberseite eines Trägers aufgrund der Abstimmung der Diffusionslötssysteme für die Unterseite und die Oberseite des Trägers möglich wird. Ein elektronisches Leistungsbauteil, das auf diese Weise hergestellt wird, weist keine Schwachstellen in der Verbindungstechnik auf und kann somit thermisch extrem belastet werden.

Die Erfindung berücksichtigt dabei, dass ein elektronisches Leistungsbauteil mit Halbleiterchips ein Substrat aufweist, auf das Halbleiterchips gelötet sind. Ein anschließendes Anlöten von Flachleitern auf der Oberseite der Halbleiterchips würde zu einem Ablösen der gelöteten Rückseite führen, was die thermische Belastbarkeit des Leistungsbauteils einschränkt. Die Anschlüsse auf der Oberseite werden deshalb häufig nicht durch Löten hergestellt, sondern durch Bondverbindungen zwischen Elektroden der Oberseite der Halbleiterchips und nach außen führenden Flachleitern. Sowohl herkömmliche Lötverbindungen als auch Diffusionslötverbindungen der Chiprückseite auf einem Substrat vermindern bei Leistungs- halbleiterchip nicht die begrenzte thermische Belastbarkeit von Bondverbindungen auf der Oberseite der Halbleiterchips. Mit der Erfindung wird die thermische Belastbarkeit elektronischer Leistungsbauteile unter Herstellung von temperatur- stabilen Verbindungen sowohl auf der Rückseite des Halblei- terchips als auch auf der Oberseite des Halbleiterchips er- höht.

Tabelle 1 zeigt mögliche Legierungspartner für Diffusionslöt- verbindungen sowie die möglichen einsetzbaren Schmelztempera- turen vor einem Bilden von intermetallischen Phasen als erste 25 und zweite Schmelztemperatur und die Schmelztemperaturen der sich bildenden intermetallischen Phasen in einer Diffusions- lötverbindung, die als dritte Schmelztemperatur beim Einset- zen des erfundungsgemäßen Verfahrens zu berücksichtigen sind. Aus dieser Tabelle ergeben sich bevorzugte Systeme für die 30 Legierungszusammensetzung einer ersten Diffusionslöt- Legierung und einer zweiten Diffusionslöt-Legierung.

Auf die erste Seite eines Trägers oder eines Halbleiterchips kann eine erste Diffusionslöt-Legierung, die eine erste Schmelztemperatur aufweist, aufgebracht werden, die eine Zusammensetzung aus Ga-yNi mit 1 Gew.% < y < 20 Gew.% oder Ga-xCu mit 1 Gew.% < x < 40 Gew.% oder Ga-yAg mit 1 Gew.% < y < 40 Gew.% aufweist. Auf die zweite Seite kann eine zweite Diffusions-Legierung aufgebracht werden, die In-xAg mit 1 Gew.% < x < 30 Gew.% oder Sn-yAg mit 1 Gew.% < y < 50 Gew.% aufweist. Diese Staffelung der Diffusionslötssysteme hat den Vorteil, dass die erste Diffusionslöt-Legierung äußerst niedrige Schmelztemperaturen zwischen 26°C und 31°C aufweist und die möglichen beiden zweiten Diffusionslöt-Legierungen relativ hohe erste Schmelztemperaturen von 144°C beziehungsweise 221°C aufweisen. Die in Tabelle 1 aufgelisteten letzten bei den Diffusionslötssystemen können in Kombination zu den hier aufgeführten ersten Diffusionslöt-Legierungen nicht eingesetzt werden, da ihre niedrigen Schmelztemperaturen mit 280°C bzw. 361°C bereits höher liegen als einige der Schmelztemperaturen der sich bildenden intermetallischen Phasen der ersten Diffusionslöt-Legierung.

Wird die Auswahl der niedrigschmelzenden ersten Diffusionslöt-Legierungen weiter eingeschränkt, so kann die Möglichkeit des Einsatzes von höher schmelzenden Diffusionslöt-Legierungen erweitert werden. Dazu wird auf die erste Seite eines Trägers oder Halbleiterchips eine erste Diffusionslöt-Legierung der Zusammensetzung Ga-yNi mit 1 Gew.% < y < 20 Gew.% oder Ga-yAg mit 1 Gew.% < y < 40 Gew.% aufgebracht. Auf die zweite Seite eines Trägers oder Halbleiterchips kann eine zweite Diffusions-Legierung der Zusammensetzung In-xAg mit 1 Gew.% < x < 30 Gew.% oder Sn-yAg mit 1 Gew.% < y < 50 Gew.% oder Au-xSn mit 5 Gew.% < x < 38 Gew.% vorzugsweise mit 10 Gew.% < x < 30 Gew.% aufgebracht werden. Diese Staffelung der

10

Diffusionslöt-Legierungen hat den Vorteil, dass als zweite Schmelztemperatur auch eine Schmelztemperaturen vom 280 °C möglich ist.

5 Bei einer Einschränkung der ersten Diffusionslöt-Legierung auf lediglich ein Diffusionslötssystem kann für eine Löt-Legierung mit äußerst niedrigem ersten Schmelzpunkt von 26 °C eine breite Palette als zweite Diffusions-Legierung eingesetzt werden. Dazu wird die erste Seite eines Trägers oder
10 eines Halbleiters mit einer Diffusions-Legierung der Zusammensetzung Ga-yAg mit 1 Gew.% < y < 40 Gew.% beschichtet. Auf die zweite Seite wird eine zweite Diffusionslöt-Legierung der Zusammensetzung In-xAg mit 1 Gew.% < x < 30 Gew.% oder Sn-yAg mit 1 Gew.% < y < 50 Gew.% oder Au-xSn mit 5 Gew.% < x < 38
15 Gew.% vorzugsweise mit 10 Gew.% < x < 30 Gew.% oder Au-yGe mit 4 Gew.% < y < 50 Gew.% Rest Cu, vorzugsweise mit 7 Gew.% < y < 20 Gew.% Rest Cu aufgebracht.

20 Für Anwendungen, bei denen eine höhere erste Schmelztemperatur über 100 °C erwünscht ist, kann die erste Seite eine erste Diffusions-Legierung der Zusammensetzung In-xAg mit 1 Gew.% < x < 30 Gew.% aufweisen. Auf die zweite Seite wird dann eine zweite Diffusions-Legierung der Zusammensetzung Sn-yAg mit 1 Gew.% < y < 50 Gew.% oder Au-xSn mit 5 Gew.% < x < 38 Gew.%, vorzugsweise mit 10 Gew.% < x < 30 Gew.% oder Au-yGe mit 4
25 Gew.% < y < 50 Gew.% Rest Cu, vorzugsweise mit 7 Gew.% < y < 20 Gew.% Rest Cu aufgebracht.

30 Ein gestaffeltes Diffusionssystem mit erster und zweiter Diffusions-Legierung, bei dem die erste Diffusions-Legierung einen ersten Schmelzpunkt über 200 °C aufweist, ist möglich, wenn die erste Seite eine erste Diffusions-Legierung der Zusammensetzung Sn-yAg mit 1 Gew.% < y < 50 Gew.% aufweist. Die

zweite Seite wird eine zweite Diffusionslöt-Legierung der Zusammensetzung Au-xSn mit $5 \text{ Gew.\%} < x < 38 \text{ Gew.\%}$, vorzugsweise mit $10 \text{ Gew.\%} < x < 30 \text{ Gew.\%}$ oder Au-yGe mit $4 \text{ Gew.\%} < y < 50 \text{ Gew.\%}$ Rest Cu, vorzugsweise mit $7 \text{ Gew.\%} < y < 20 \text{ Gew.\%}$ Rest Cu aufgebracht.

5 Cu aufgebracht.

Den höchsten Anforderungen an Schmelztemperaturen ermöglicht eine Staffelung von erster und zweiter Diffusionslöt-Legierung, bei der die erste Seite eine erste Diffusionslöt-Legierung der Zusammensetzung Au-xSn mit $5 \text{ Gew.\%} < x < 38 \text{ Gew.\%}$, vorzugsweise mit $10 \text{ Gew.\%} < x < 30 \text{ Gew.\%}$ aufweist. Auf die zweite Seite wird eine zweite Diffusionslöt-Legierung mit der Zusammensetzung Au-yGe mit $4 \text{ Gew.\%} < y < 50 \text{ Gew.\%}$ Rest Cu, vorzugsweise mit $7 \text{ Gew.\%} < y < 20 \text{ Gew.\%}$ Rest Cu aufgebracht.

15

Bei dem Erwärmen auf die Löttemperaturen bilden sich relativ spröde intermetallische Phasen, die zwar eine temperaturstabile Verbindung ermöglichen. Es besteht jedoch die Gefahr bei Differenzen im Ausdehnungskoeffizienten des Trägers beziehungsweise Halbleiterchips und der mit diesem zu verbindenden Substrate, dass aufgrund der spröden intermetallischen Phasen die Substrate von den Trägern bei Temperaturbelastungen abgesprengt werden, wenn die thermischen Spannungen aufgrund der unterschiedlichen Ausdehnungskoeffizienten der Materialien zunehmen.

20 Wird jedoch vor dem Aufbringen der Diffusionslöt-Legierungen eine Schicht aus Silber, Kupfer oder Nickel auf jeder Seite des Trägers beziehungsweise des Halbleiterchips aufgebracht, so dämpft diese Pufferschicht und bewirkt vorteilhafte Weise einen Spannungsabbau. Dieses hat den Vorteil, dass eine derartige Zwischenschicht aus Silber, Kupfer oder Nickel oder

112

Legierungen derselben einen mechanischen Puffer bilden, der es ermöglicht, dass eine harte und spröde Schicht aus intermetallischen Phasen relativ weich und nachgiebig mit dem Träger verbunden werden kann.

5

Für Diffusionslöt-Legierungen aus Au-yGe mit $4 \text{ Gew.}\% < y < 50 \text{ Gew.}\%$, vorzugsweise $7 \text{ Gew.}\% < y < 20 \text{ Gew.}\%$ ist es von Vorteil, eine Pufferschicht oder Zwischenschicht aus Kupfer oder einer Kupferlegierung vorzusehen, da sich dann intermetallische Phasen zwischen Kupfer und Germanium ausbilden können, die Schmelzpunkte von 614°C für Cu_3Ge und 742°C für Cu_5Ge aufweisen.

15

Silber- oder Kupferschichten als Pufferschichten können vorzugsweise auch vor dem Aufbringen einer Diffusionslöt-Legierung aus Sn-yAg mit $1 \text{ Gew.}\% < y < 50 \text{ Gew.}\%$ oder Au-xSn mit $5 \text{ Gew.}\% < x < 38 \text{ Gew.}\%$, vorzugsweise mit $10 \text{ Gew.}\% < x < 30 \text{ Gew.}\%$ eingesetzt werden.

20

Um ein Diffundieren oder Legieren der Metallkomponenten der Legierungen oder der Pufferschichten mit einem Halbleiterchipmaterial oder einem Metallisierungsmaterial wie Aluminium für Halbleiter zu vermeiden, wird vor dem Aufbringen einer Diffusionslöt-Legierung auf die Seiten eines Halbleiterchips eine Schichtfolge aus einer strukturierten Aluminiumschicht und einer darauf abgeschiedenen Titanschicht aufgebracht. Das Aluminium bewirkt einen niederohmigen Übergang zum Halbleitermaterial und das Titan dient als Diffusionssperre für die unterschiedlichen Metallkomponenten der Diffusionslöt-Legierungen.

25

Erfindungsgemäß wird in einem weiteren Aspekt der Erfindung ein elektronisches Leistungsbauteil mit einem Halbleiterchip

bereitgestellt, der mit seiner Rückseite auf eine Chipinsel diffusionsgelötet ist. Auf Kontaktflächen an der Oberseite des Halbleiterchips sind Flachleiter diffusionsgelötet. Die Lötfugen weisen unterschiedliche Diffusionslötssysteme auf mit einer ersten Diffusionslöt-Legierung auf der Rückseite und einer zweiten Diffusionslöt-Legierung auf der Oberseite des Halbleiterchips. Dazu weisen die erste und die zweite Diffusionslöt-Legierung unterschiedliche Schmelztemperaturen auf.

Die oben aufgeführten Diffusionslötssysteme können dabei eingesetzt werden. Jeder der Halbleiterchips des Leistungsbau- teils weist unmittelbar sowohl auf seiner Rückseite als auch auf seiner Oberseite eine Schichtfolge aus Aluminium und Titan auf, um eine Diffusion und Reaktion der Komponenten der Legierung mit dem Aluminium und dem Halbleitermaterial zu vermeiden. Zwischen dieser Schichtfolge und den Diffusionslöt-Legierungen kann auf den Seiten eine Metallschicht als Pufferschicht aus Kupfer oder Silber oder Nickel oder Legierungen derselben angeordnet sein, um einerseits das Bilden einer Diffusionslötverbindung zu unterstützen und andererseits einen mechanischen Puffer für die unterschiedlichen Ausdehnungsverhalten von Halbleiterchips und Substraten zu ermöglichen.

Zusammenfassend ist festzustellen, dass durch Verwenden von passenden Legierungs-Metallisierungen auf einem Halbleiterchip eine hochschmelzende Verbindung aus intermetallischen Verbindungen geformt werden kann, deren Schmelzpunkt nach dem Verbinden höher liegt als die nachfolgenden Prozesstemperaturen. Um zuerst eine Halbleiterchiprückseite und dann eine Halbleiterchipoberseite mit dem entsprechenden Substrat verbinden zu können, werden zwei unterschiedliche Legierungssys-

14

teme eingesetzt, die aufgrund ihrer Schmelz- und Verbindungs-eigenschaften geeignet sind.

So kann zum heißen Verbinden einer ersten Chipseite mittels
5 Au-Sn ($T_{schmelz}=280^{\circ}\text{C}$) ein hochschmelzender metallurgischer
Kontakt aus intermetallischen Phasen mit dem ersten Substrat
gebildet werden. Eine Silberschicht dient dabei einerseits
als Reaktionspartner für Au-Sn und zum anderen als mechanisch
weicher Puffer, um etwaige Unterschiede der Ausdehnungskoeffizienten
10 zwischen Substrat und Halbleiterchip auszugleichen.
Dabei soll bei einer ersten Temperatur von 280°C die Legierung
auf der zweiten Chipfläche, die eine Diffusionslöt-Legierung aus Au-Ge
15 ($T_{schmelz}=361^{\circ}\text{C}$) aufweist, nicht aufschmelzen und die Reaktion der entsprechenden intermetallischen Phasen dieser zweiten Diffusionslöt-Legierung soll nicht gestartet werden.

Eine minimale Festkörperdiffusion kann hierbei vernachlässigt werden. In einem zweiten Diffusionslötsschritt kann dann der
20 Chip, der bereits mit dem ersten Substrat verbunden ist, wieder in einen heißen Prozess eingebracht werden, wobei nun die andere zweite Seite der Halbleiterchipflächen mit einem zweiten Substrat verbunden wird. Das zweite Metallisierungssystem oder Diffusionslötssystem weist Au-Ge auf und als Puffer wird
25 hier eine Kupferschicht eingesetzt, die gleichzeitig als Reaktionsschicht dient. Da die erste Diffusionslöt-Legierung bereits durchlegiert ist, wird sie nicht mehr aufschmelzen, zumal die Diffusionslöttemperaturen der intermetallischen Phasen des ersten Diffusionslötssystems einen Schmelzpunkt >
30 400°C aufweisen.

Eine Verwendung von zwei Diffusionsloten als Metallisierungen auf Ober- und Rückseite eines Halbleiterchips mit zwei unter-

schiedlichen Schmelztemperaturen kann ein stufenweises Verbinden zuerst der einen und dann der anderen Seite ermöglichen, ohne dass das zweite Diffusionslot bereits beim ersten Verbindungsschritt aufschmilzt und damit abreagiert und unbrauchbar werden kann. Durch die Verwendung von unterschiedlichen Diffusionsloten wird mit dieser Erfindung ein zweiter Verbindungsprozess bei hoher Temperatur erst möglich, da beim Verbinden durch Legierungsbildung der Schmelzpunkt der ersten Verbindung über den Schmelzpunkt der zweiten Verbindung ansteigt.

Gelegentlich wird unter einer "Diffusionslötlegierung" auch eine Diffusionslöt-mischung verstanden. Dies gilt besonders für den Fall, dass noch keine intermetallischen Phasen erzeugt worden sind. In einem solchen Vorzustand liegen die Anteile der späteren Legierung bereits als Komponenten vor. Die Erfindung bezieht sich mit dem Ausdruck "Diffusionslötverbindung" auf die Zustände der späteren Legierung mit intermetallischen Phasen im Gefüge.

Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

Figur 1 zeigt einen schematischen Querschnitt durch einen Träger mit Diffusionslötverbindungen zu einem unteren ersten Substrat und zu einem oberen zweiten Substrat gemäß einer Ausführungsform der Erfindung,

Figur 2 zeigt einen schematischen Querschnitt durch einen Träger, der auf seiner Unterseite eine erste Diffusionslöt-Legierung aufweist und auf seiner Oberseite eine zweite Diffusionslöt-Legierung aufweist.

bevor der Träger auf ein erstes Substrat diffusionsgelötet wird,

Figur 3 zeigt einen schematischen Querschnitt des Trägers
5 der Figur 2 nach einem ersten Diffusionslöten des
Trägers auf das Substrat.

Figur 4 zeigt einen schematischen Querschnitt des Trägers
10 gemäß Figur 3 vor dem Aufbringen eines zweiten Sub-
strats auf die Oberseite des Trägers,

Figur 5 zeigt einen schematischen Querschnitt des Trägers
15 gemäß Figur 4 nach erfolgtem Diffusionslöten des
zweiten Substrats auf die Oberseite des Trägers.

Figur 1 zeigt einen schematischen Querschnitt durch einen
Träger 12 aus einem Halbleiterchipmaterial mit Diffusionslöt-
verbindungen 16 zu einem unteren ersten Substrat 4 und einem
oberen zweiten Substrat 5 gemäß einer Ausführungsform der Er-
findung. Der Träger 12 weist auf seiner Unterseite 2 eine A-
luminiumbeschichtung 20 auf, die von einer Titanschicht 21
abgedeckt ist. Diese Schichtfolge 19 schützt das Aluminium
und das Halbleitermaterial des Trägers 12 vor den Komponenten
der Diffusionslötsysteme. Dabei bildet die Titanschicht eine
25 Diffusionssperre und schützt somit auch die Aluminiumschicht.

Die Diffusionslötverbindungen 16, 17 sind derart aufeinander
abgestimmt, dass zunächst die Diffusionslötverbindung 16 bei
einer niedrigen ersten Schmelztemperatur hergestellt werden
30 kann, wobei sich intermetallische Phasen ausbilden, so dass
die zweite Diffusionslötverbindung 17 bei einer wesentlich
höheren zweiten Schmelztemperatur durchführbar wird. Die ers-
te Diffusionslötverbindung 16 verbindet praktisch die Rück-

seite eines Halbleiterchips 13 mit einem Substrat 8, das beispielsweise als Chipinsel 7 ausgebildet ist, wobei als Puffer- und Ausgleichsschicht zwischen der Diffusionslötverbindung 16 und dem Halbleiter 13 eine Pufferschicht 18 aus Kupfer oder Silber oder Legierungen derselben angeordnet ist.

5 Diese Pufferschicht 18 ist, wenn sie Silber aufweist, gleichzeitig ein Reservoir an Silber zur Bildung der Diffusionslöt- schicht 16.

10 In dieser ersten Ausführungsform der Erfindung ist die Diffusionslötsschicht 16 aus einer Diffusionslöt-Legierung gebildet, die $Au-xSn$ mit $10 \text{ Gew. \%} < x < 30 \text{ Gew. \%}$ aufweist. Die Pufferschicht 18 ist aus Silber aufgebaut. Die hohe Temperaturstabilität dieser Diffusionslötsschicht 16 basiert auf intermetallischen Phasen zwischen Silber und Zinn, nämlich Ag_3Sn mit einem Schmelzpunkt von 480°C und Ag_5Sn mit einem Schmelzpunkt von 724°C . Diese Schmelztemperaturen der intermetallischen Verbindungen liegen wesentlich höher als eine zweite Schmelztemperatur, die zur Bildung der zweiten Diffusionslötsschicht 17 erforderlich ist. Diese zweite Diffusionslötsschicht 17 ist auf der Oberseite 3 des Trägers 12 angeordnet.

25 Wegen des Halbleiterchipmaterials in dieser Ausführungsform der Erfindung ist die Oberseite 9 des Halbleiters 13 zunächst von der Schichtfolge 19 aus einer Aluminiumschicht 20 und einer Titanschicht 21 bedeckt. Daran schließt sich eine Pufferschicht 18 aus Kupfer an. Auf dieser Pufferschicht 18 ist die Diffusionslötsschicht 17 angeordnet, welche mit einem zweiten 30 Substrat 5 hochtemperaturfest verbunden ist.

Die hohe Temperaturfestigkeit der zweiten Diffusionslöt- schicht 17 wird durch intermetallische Phasen aus Kupfer und

Germanium erreicht. Dabei weist die intermetallische Phase Cu₃Ge eine Schmelztemperatur von 614°C und die intermetallische Phase Cu₅Ge eine Schmelztemperatur von 743°C auf. Das zweite Substrat ist in dieser Ausführungsform der Erfindung 5 eine Flachleiterstruktur, die mit Kontaktflächen des Halbleiters 13 mittels eines Diffusionslötprozesses verbunden ist.

Die Gesamtstruktur, wie sie in Figur 1 zu sehen ist, stellt einen schematischen Querschnitt durch ein elektronisches 10 Leistungsbauteil 11 dar, das aufgrund der Diffusionslötverbindungen 16 und 17 sowie der Pufferschichten 18 sowohl mechanisch als auch thermisch optimiert ist. Dabei sorgt die Pufferschicht 18 dafür, dass Thermospannungen zwischen den Substraten und dem Träger ausgeglichen werden und die Diffusionslötsschichten 16 und 17 sorgen dafür, dass eine temperaturstabile Verbindung zu den Substraten auch bei hohen Betriebstemperaturen eines elektronischen Leistungsbauteils erhalten bleiben.

20 Die Figuren 2 bis 4 zeigen die stufenweise Herstellung von Diffusionslötverbindungen auf einem Träger 12, wie ihn Figur 1 zeigt.

Eine erste Stufe dieses Herstellungsverfahrens wird in Figur 25 2 gezeigt, die einen schematischen Querschnitt durch einen Träger 12 zeigt, der auf seiner Unterseite 2 eine erste Diffusionslöt-Legierung 14 und auf seiner Oberseite 6 eine zweite Diffusionslöt-Legierung 15 aufweist. Zwischen den Diffusionslöt-Legierungen 14 und 15 und dem Träger 12 ist eine Pufferschicht 18 angeordnet, die auf der Unterseite des Trägers aus Silber oder Kupfer aufgebaut ist und auf der Oberseite des Trägers eine Kupferschicht aufweist. Ferner sind zum Schutz des Halbleitermaterials des Trägers 12 auf den Seiten

eine Schichtfolge aufgebracht aus Aluminium und Titan, wobei das Aluminium einen guten Kontakt zum Halbleitermaterial herstellt und das Titan als Diffusionssperre für das Material der Pufferschichten dient, damit diese weder mit dem Aluminium noch mit dem Halbleitermaterial reagieren. Ein derartig präparierter Träger 12 kann dann auf ein erstes Substrat 4 abgesetzt werden und in einem Diffusionslötprozess mit der Unterseite 2 des Trägers 12 verbunden werden.

Figur 3 zeigt einen schematischen Querschnitt des Trägers 12 der Figur 2 nach einem ersten Diffusionslöten des Trägers 12 auf das erste Substrat 4 bzw. 8 bei einer Schmelztemperatur von über 280°C. Diese Schmelztemperatur 280°C ist erforderlich, da die Diffusionslöt-Legierung 14 Au-xSn mit 10 Gew.% < x < 30 Gew.% aufweist. Die bei dieser ersten Schmelztemperatur von 280°C entstehenden intermetallischen Phasen weisen Ag₃Sn mit einem Schmelzpunkt von 480°C und Ag₅Sn mit einem Schmelzpunkt von 724°C auf. Aufgrund der hohen ersten Schmelztemperatur von 280°C ist der Zeitaufwand für das Diffusionslöten wesentlich geringer als bei Diffusionslöt-Legierungen mit niedrigen ersten Schmelztemperaturen unter 50°C.

Bei der Bildung von intermetallischen Phasen in der Diffusionslötverbindung 16 kann ein Teil der Pufferschicht 1 aus Silber als Reaktionspartner für die intermetallischen Phasen verbraucht werden, was in der Figur 3 durch eine geringere Dicke der Pufferschicht 18 gegenüber der Pufferschicht 18 in Figur 2 gezeigt wird.

Figur 4 zeigt einen schematischen Querschnitt des Trägers 12 gemäß Figur 3 vor dem Aufbringen eines zweiten Substrats 5 beziehungsweise 10 auf die Oberseite 3 des Trägers 12. Dieses

zweite Substrat kann aus Flachleitern bestehen, die auf Kontaktflächen einer Halbleiterchipoberseite aufzubringen sind. Der Träger 12 weist somit ein Halbleitermaterial auf, das zunächst durch eine Aluminiumschicht 20 mit niedrigem Über-
gangswiderstand zum Halbleiterchipmaterial ausgestattet ist,
und darauf ist eine diffusionshemmende Titanschicht 21 ange-
ordnet. An diese Schichtfolge 19 schließt sich eine Puffer-
schicht 18 an, die auf der Oberseite 3 des Trägers 12 aus
Kupfer besteht. Dieses Kupfer ist abgestimmt auf die Diffusi-
onslöt-Legierung 15 aus Au-yGe mit $7 \text{ Gew. \%} < y < 20 \text{ Gew. \%}$
Rest Cu, so dass sich intermetallische Phasen aus Kupfer und
Germanium bei der zweiten Schmelztemperatur von über 361°C
bilden. Der Schmelzpunkt der intermetallischen Phasen aus
 Cu_3Ge und Cu_5Ge liegen bei 614°C beziehungsweise 743°C . Vor
einem Diffusionslöten wird das zweite Substrat 5 auf die
zweite Diffusionslöt-Legierung 15 gepresst und bei der ent-
sprechenden Löttemparatur von über 361°C entsteht eine Diffu-
sionslötverbindung, wie sie in Figur 5 gezeigt wird.

Figur 5 zeigt einen schematischen Querschnitt des Trägers 12
gemäß Figur 4 nach erfolgtem Diffusionslöten des zweiten Sub-
strats 5 auf die Oberseite 3 des Trägers 12. Diese hohe
Schmelztemperatur von über 361°C ermöglicht eine kurzzeitige
Diffusionslötung, ohne dass die Diffusionslötung 16 auf der
Unterseite des Trägers 12 beschädigt wird, zumal die Schmelz-
temperaturen der dort ausgebildeten intermetallischen Phasen
größer als 400°C sind.

Bezugszeichenliste

- 1 Diffusionslötverbindung
- 2 Trägerunterseite
- 5 3 Trägeroberseite
- 4 Substrat für Trägerunterseite
- 5 Substrat für Trägeroberseite
- 6 Halbleiterchiprückseite
- 7 Chipinsel
- 10 8 Substrat für die Halbleiterchiprückseite
- 9 Halbleiterchipoberseite
- 10 Substrat für Halbleiterchipoberseite
- 11 elektronisches Leistungsbauteil
- 12 Träger
- 15 13 Halbleiter
- 14 erste Diffusionslöt-Legierung für Unter- beziehungsweise Rückseite
- 15 zweite Diffusionslöt-Legierung für Oberseiten
- 16 Diffusionslötverbindung für Unter- beziehungsweise Rückseite
- 20 17 Diffusionslötverbindung für Oberseite
- 18 Pufferschicht
- 19 Schichtfolge aus Aluminium und Titan
- 20 Aluminiumschicht
- 25 21 Titanschicht

Patentansprüche

1. Verfahren zur mehrstufigen Herstellung von Diffusionslötverbindungen (1) zwischen einem Substrat (4) für eine Trägerunterseite (3) und einem weiteren Substrat (5) für eine Trägeroberseite (2), das folgende Verfahrensschritte aufweist:

- Beschichten einer ersten Seite (2, 6) eines Trägers (12) mit einer ersten Diffusionslötlegierung (14),
- Beschichten einer zweiten Seite (3, 9) des Trägers (12) mit einer zweiten Diffusionslötlegierung (15), wobei die Schmelztemperaturen von Diffusionslötlegierungen (14, 15) und Diffusionslötverbindungen (16, 17) derart gestaffelt werden, dass eine erste Schmelztemperatur der ersten Diffusionslötlegierung (14) niedriger ist als eine zweite Schmelztemperatur der zweiten Diffusionslötlegierung (15) und wobei die zweite Schmelztemperatur niedriger ist als eine dritte Schmelztemperatur einer aus der ersten Diffusionslötlegierung (14) erzeugten ersten Diffusionslötverbindung (16),
- Diffusionslöten eines ersten Substrats (4, 8) mit der ersten Seite (2, 6) des Trägers (12) unter Erwärmen der ersten Diffusionslötlegierung (14) auf die erste Schmelztemperatur,
- Diffusionslöten eines zweiten Substrats (5, 10) mit der zweiten Seite (3, 9) des Trägers (12) unter Erwärmen der zweiten Diffusionslötlegierung (15) auf die zweite Schmelztemperatur.

2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, dass
auf die erste Seite (2, 6) eine erste Diffusionslöt-

gierung (14) der Zusammensetzung Ga-yNi mit 1 Gew.% < y
< 20 Gew.% oder Ga-xCu mit 1 Gew.% < x < 40 Gew.% oder
Ga-yAg mit 1 Gew.% < y < 40 Gew.% aufgebracht wird und
auf die zweite Seite (3, 9) eine zweite Diffusionslötlegierun-
5 gierung (15) der Zusammensetzung In-xAg mit 1 Gew.% < x
< 30 Gew.% oder Sn-yAg mit 1 Gew.% < y < 50 Gew.% aufge-
bracht wird.

3. Verfahren nach Anspruch 1,

10 dadurch gekennzeichnet, dass
auf die erste Seite (2, 6) eine erste Diffusionslötlegierung
gierung (14) der Zusammensetzung Ga-yNi mit 1 Gew.% < y
< 20 Gew.% oder Ga-yAg mit 1 Gew.% < y < 40 Gew.% aufge-
bracht wird und auf die zweite Seite (3, 9) eine zweite
15 Diffusionslötlegierung (15) der Zusammensetzung In-xAg
mit 1 Gew.% < x < 30 Gew.% oder Sn-yAg mit 1 Gew.% < y <
50 Gew.% oder Au-xSn mit 5 Gew.% < x < 38 Gew.% vorzugs-
weise mit 10 Gew.% < x < 30 Gew.% aufgebracht wird.

20 4. Verfahren nach Anspruch 1,

dadurch gekennzeichnet, dass
auf die erste Seite (2, 6) eine Diffusionslötlegierung
(14) der Zusammensetzung Ga-yAg mit 1 Gew.% < y < 40
Gew.% aufgebracht wird und auf die zweite Seite (3, 9)
eine Diffusionslötlegierung (15) der Zusammensetzung In-
xAg mit 1 Gew.% < x < 30 Gew.% oder Sn-yAg mit 1 Gew.%
< y < 50 Gew.% oder Au-xSn mit 5 Gew.% < x < 38 Gew.%
vorzugsweise mit 10 Gew.% < x < 30 Gew.% oder Au-yGe mit
4 Gew.% < y < 50 Gew.% Rest Cu vorzugsweise mit 7 Gew.%
30 < y < 20 Gew.% Rest Cu aufgebracht wird.

5. Verfahren nach Anspruch 1,

dadurch gekennzeichnet, dass

auf die erste Seite (2, 6) eine erste Diffusionslötlegierung (14) der Zusammensetzung In-xAg mit 1 Gew.% < x < 30 Gew.% aufgebracht wird und auf die zweite Seite (3, 9) eine zweite Diffusionslötlegierung der Zusammensetzung Sn-yAg mit 1 Gew.% < y < 50 Gew.% oder Au-xSn mit 5 Gew.% < x < 38 Gew.% vorzugsweise mit 10 Gew.% < x < 30 Gew.% oder Au-yGe mit 4 Gew.% < y < 50 Gew.% Rest Cu vorzugsweise mit 7 Gew.% < y < 20 Gew.% Rest Cu aufgebracht wird.

10

6. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, dass
auf die erste Seite (2, 6) eine erste Diffusionslötlegierung (14) der Zusammensetzung Sn-yAg mit 1 Gew.% < y < 50 Gew.% aufgebracht wird und auf die zweite Seite (3, 9) eine zweite Diffusionslötlegierung (15) der Zusammensetzung Au-xSn mit 5 Gew.% < x < 38 Gew.% vorzugsweise mit 10 Gew.% < x < 30 Gew.% oder Au-yGe mit 4 Gew.% < y < 50 Gew.% Rest Cu, vorzugsweise mit 7 Gew.% < y < 20 Gew.% Rest Cu aufgebracht wird.

20

7. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, dass
auf die erste Seite (2, 6) eine erste Diffusionslötlegierung (14) der Zusammensetzung Au-xSn mit 5 Gew.% < x < 38 Gew.% vorzugsweise mit 10 Gew.% < x < 30 Gew.% aufgebracht wird und auf die zweite Seite (3, 9) eine zweite Diffusionslötlegierung (15) der Zusammensetzung Au-yGe mit 4 Gew.% < y < 50 Gew.% Rest Cu vorzugsweise mit 7 Gew.% < y < 20 Gew.% Rest Cu aufgebracht wird.

30

8. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass

vor dem Aufbringen der Diffusionslötlegierung (14, 15) eine Schicht aus Silber, Kupfer oder Nickel auf jeder Seite (2, 6, 3, 9) des Trägers (12) beziehungsweise des Halbleiterchips (13) aufgebracht wird.

5

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass vor dem Aufbringen der zweiten Diffusionslötlegierung (15) aus Au-yGe mit $4 \text{ Gew.\%} < y < 50 \text{ Gew.\%}$ Rest Cu vorzugsweise mit $7 \text{ Gew.\%} < y < 20 \text{ Gew.\%}$ Rest Cu zusätzlich eine Schicht aus Kupfer oder einer Kupferlegierung aufgebracht wird.

10

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass vor dem Aufbringen einer Diffusionslötlegierung (14 oder 15) aus Sn-yAg mit $1 \text{ Gew.\%} < y < 50 \text{ Gew.\%}$ oder Au-xSn mit $5 \text{ Gew.\%} < x < 38 \text{ Gew.\%}$ vorzugsweise mit $10 \text{ Gew.\%} < x < 30 \text{ Gew.\%}$ eine Schicht (18) aus Kupfer oder Silber oder einer Legierung derselben aufgebracht wird.

20

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass vor dem Aufbringen einer Diffusionslötlegierung (14 oder 15) auf die Seiten (6, 9) eines Halbleiterchips (13) eine Schichtfolge (19) aus Aluminium und Titan aufgebracht wird.

25

12. Elektronisches Leistungsbauteil mit einem Halbleiterchip (13), der mit seiner Rückseite (6) auf einer Chipinsel (7) gelötet ist und auf dessen Kontaktflächen an der Oberseite (9) des Halbleiterchips (13) Flachleiter gelötet sind, wobei die Lötfugen unterschiedliche Diffusi-

30

onslötssysteme aufweisen mit einer ersten Diffusionslötlegierung (14) auf der Rückseite (6) und mit einer zweiten Diffusionslötlegierung (15) auf der Oberseite (9), und wobei die erste und die zweite Diffusionslötlegierung (14, 15) unterschiedliche Schmelztemperaturen aufweisen.

- 5
13. Elektronisches Leistungsbauteil nach Anspruch 12, dadurch gekennzeichnet, dass zwischen der Diffusionslötlegierung (14, 15) und der Seite (6, 9) des Halbleiterchips (13) eine Metallschicht (18) aus Kupfer oder Silber oder Nickel angeordnet ist.
- 10
14. Elektronisches Leistungsbauteil nach Anspruch 12 oder Anspruch 13, dadurch gekennzeichnet, dass auf die Seiten (6, 9) des Halbleiterchips (13) eine Schichtfolge (19) aus Aluminium und Titan aufweisen.
- 15

FIG-1

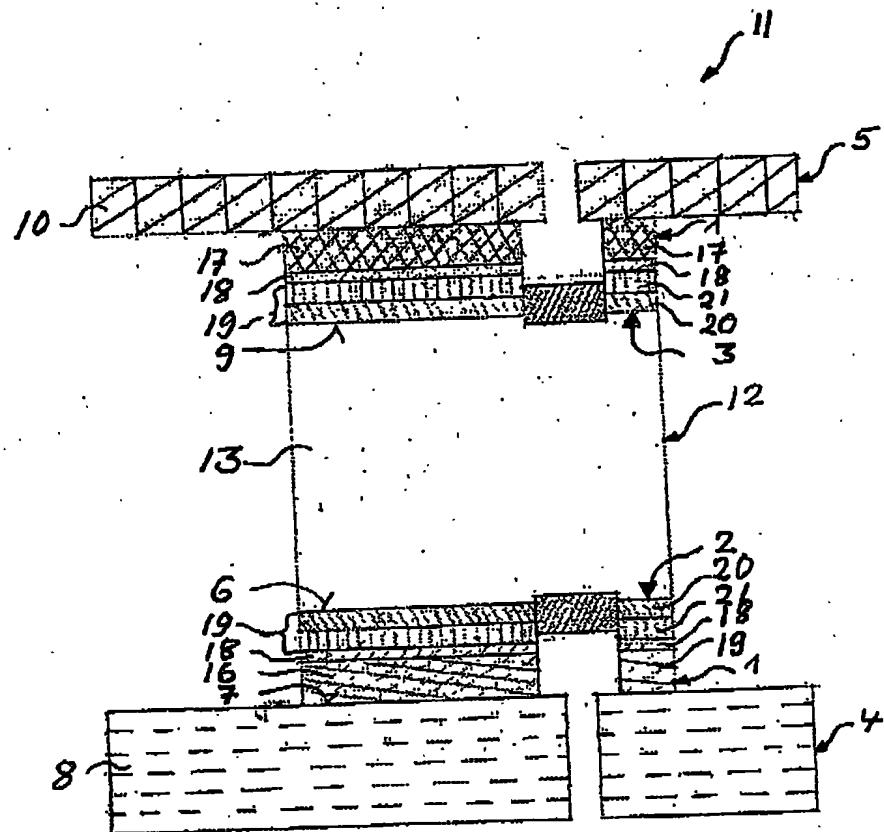


FIG 2.

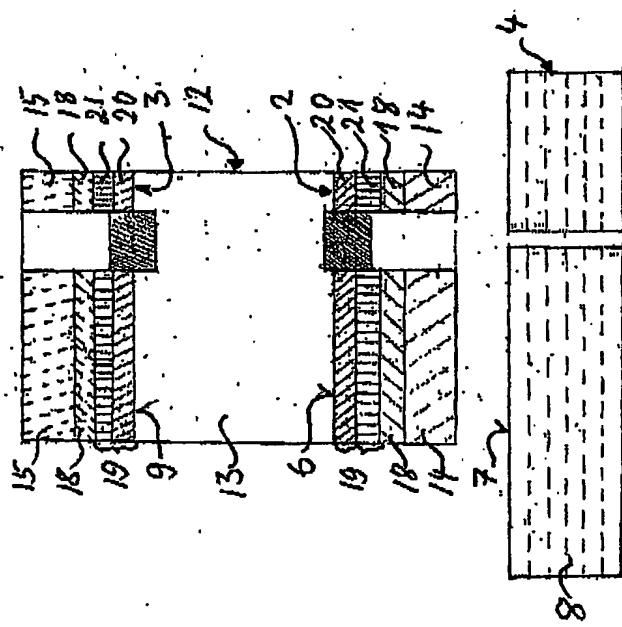
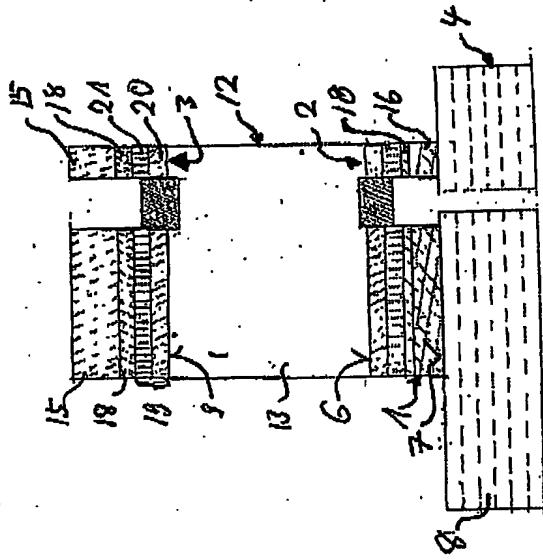


FIG 3



27

FIG 4
FIG 5

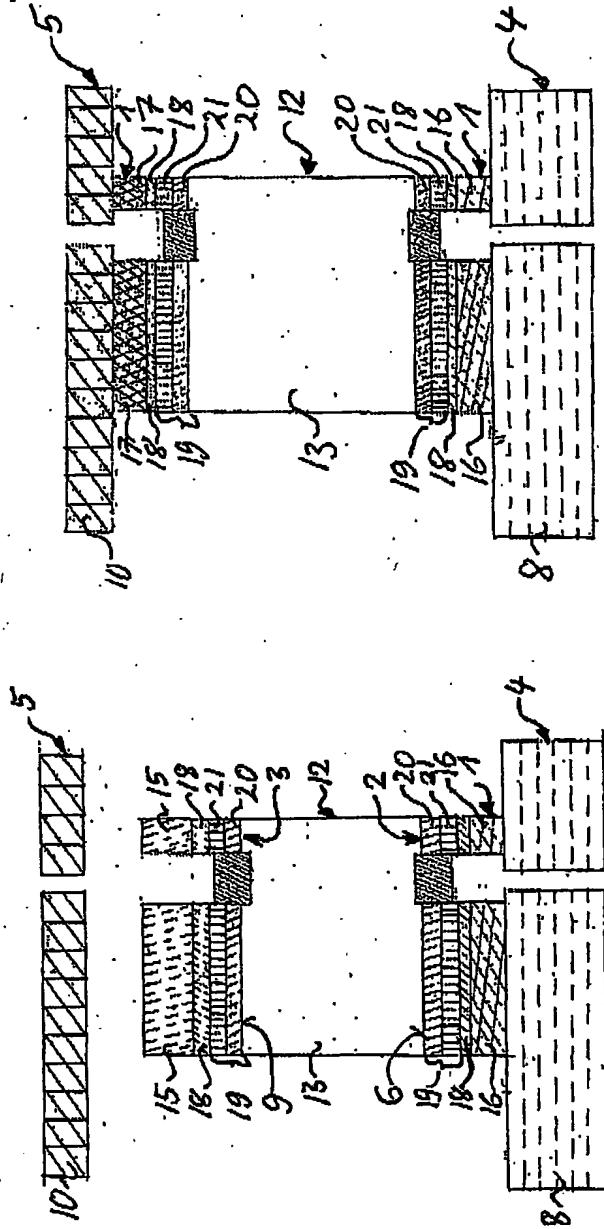


Tabelle 1

Legierung zum Verbinden (A oder B)	Reaktionspartner und Puffer (X)	$T_{\text{Schmelz, vorher}}$	$T_{\text{Schmelz, nachher}}$	Intermetallische Phasen
Ga-yNi ($1 < y < 20 \text{ wt\%}$)	Ag, Cu, Ni	30,2°C (!)	362°C; 895°C	Ga ₄ Ni; Ni ₂ Ga ₃
Ga-xCu ($1 < x < 40 \text{ wt\%}$)	Ag, Cu, Ni	28,6°C (!)	254°C; 485°C	Ga ₂ Cu; Ga ₂ Cu ₃
Ga-yAg ($1 < y < 40 \text{ wt\%}$)	Ag, Cu, Ni	26°C (!)	425°C; 611°C	Ag ₂ Ga; Ag ₅ Ga
In-xAg ($1 < x < 30 \text{ wt\%}$)	Ag, Cu, Ni	144°C	660°C; 695°C	Ag ₃ In
Sn-yAg; ($1 < y < 50 \text{ wt\%}$)	Ag oder Cu	221°C	480°C; 724°C	Ag ₃ Sn; Ag ₅ Sn
Au-xSn ($10 < x < 30 \text{ wt\%};$ $15 < x < 42 \text{ at\%}$) (Wunsch; $5 < x < 38 \text{ wt\%}; 8 < x < 50 \text{ at\%})$	Ag oder Cu	280°C	480°C; 724°C 415°C; 640°C	Ag ₃ Sn; Ag ₅ Sn Cu ₈ Sn ₅ ; Cu ₃ Sn
Au-yGe ($7 < y < 20 \text{ wt\%};$ $20 < y < 40 \text{ at\%}$) (Wunsch; $4 < y < 50 \text{ wt\%}; 10 < y < 75 \text{ at\%})$	Cu	361°C	614°C; 743°C	Cu ₃ Ge; Cu ₆ Ge